

ментов, с перестройкой по алгоритму диагонального захвата, приведены в таблице.

Исходя из полученных результатов, можно сделать вывод, что для алгоритма диагонального захвата наибольшей надежностью обладают структуры, вытянутые в горизонтальном направлении.

Для уменьшения вероятности возникновения фатального отказа в [3] алгоритмы реконфигурации модифицированы следующим образом. Матрица разбивается резервными строками и столбцами на подматрицы. Перестройка структуры происходит внутри каждой подматрицы. Если перестройка в одной из подматриц невозможна, вырабатывается сигнал отказа всей процессорной матрицы.

Выводы, сделанные для матриц малых размеров, естественно отнести к подматрицам, кото-

рые получаются разбиением исходной процессорной матрицы резервными строками и столбцами.

Для алгоритма диагонального захвата целесообразно размещать резервные элементы преимущественно в строках процессорной матрицы, разбивая ее на подматрицы, вытянутые в горизонтальном направлении.

Заключение

Итак, в статье описан алгоритм диагонального захвата, обеспечивающий отказоустойчивость процессорной матрицы на СБИС. Он позволяет полностью использовать введенную избыточность и тем самым повысить надежность схемы. Показана высокая эффективность диагонального захвата по сравнению с ранее предложенными алгоритмами [2, 3]. Даны рекомендации по выбору расположения резерва.

Литература

1. Авиженис А., Лалри Ж.-К. Гарантоспособные вычисления: от идеи до реализации в проектах // ТИИЭР. Т. 74. № 5. 1986. С. 8-21.
2. Сами М., Стефанелли Р. Перестраиваемые архитектуры матричных процессорных СБИС // ТИИЭР. 1986. Т. 74. № 5. С. 93-107.
3. Воробьев В.А., Лаходынова Н.В. Процессорная матрица с перестраиваемой структурой и перестраиваемым резервом // Автоматика. 1994. № 5. С. 90-98.
4. Воробьев В.А., Ерёмкина Н.Л., Лаходынова Н.В. Анализ алгоритмов перестройки структуры процессорной матрицы // Автоматика. 1996. № 2. С. 69-77.
5. Воробьев В.А., Лаходынова Н.В. Пределы надежности однородных вычислительных систем // Вычислительные системы. 1988. Вып. 126. С. 122-149.
6. Воробьев В.А., Лаходынова Н.В. Пределы надежности однородных структур // Изв. АН СССР. Технич. киб-ка. 1989. № 3. С. 110-113.

УДК 681.324

Н.Л. Ерёмкина

АЛГОРИТМ АДРЕСАЦИИ ДЛЯ РЕКОНФИГУРАЦИИ ПРОЦЕССОРНОЙ МАТРИЦЫ ПУТЕМ ДИАГОНАЛЬНОГО ЗАХВАТА

Томский государственный педагогический университет

Введение

Предлагаются алгоритм адресации отказоустойчивой процессорной матрицы с перестраиваемой структурой.

Матрица разбивается резервными строками и столбцами на подматрицы. Перестройка структуры происходит внутри каждой подматрицы за счет использования резервных процессоров и линий связи. Каждый процессорный элемент (i, j) имеет коммутационное окружение, соединяющее его с исправными соседями на основе сигнала неисправности от самого элемента и

его соседей так, чтобы в результате получилась квадратная решетка. Если перестройка невозможна, вырабатывается сигнал отказа всей матрицы. Алгоритм диагонального захвата заключается в том, что отказы процессорных элементов компенсируются сдвигами используемых процессоров по физической структуре.

В данной работе получены логические уравнения для вычисления управляющих сигналов перестройки, на основе которых выполняется переконмутация матрицы и вычисляются новые логические индексы процессорных элементов.

Сигналы перестройки для алгоритма диагонального захвата

Итак, пусть процессорная матрица разбита резервными строками и столбцами на подматрицы таким образом, что резерв расположен в крайнем правом столбце и верхней строке каждой подматрицы. В каждой из подматриц на основе синдрома неисправности осуществляется реконфигурация по алгоритму диагонального захвата.

Пусть $a(i, j)$ – признак того, что элемент, находящийся в строке с номером i и столбце с номером j , является резервным и принадлежит резервному столбцу; $a(i, j) = 1, i$, если столбец j резервный. Сигнал $b(i, j)$ – признак того, что элемент, находящийся в строке с номером i и столбце с номером j , является резервным и принадлежит резервной строке; $b(i, j) = 1, j$, если строка i резервная. $e(i, j)$ – сигнал отказа элемента (i, j) ; $e(i, j) = 1$, если рассматриваемый процессорный элемент неисправен.

Сигнал отсутствия отказа справа обозначим как $rf(i, j)$; $rf(i, j) = 1$, если справа от элемента (i, j) в рассматриваемой подматрице нет отказов и ранее захваченных элементов, т.е. все элементы $(i, k), k > j$ данной подматрицы исправны и не захвачены элементами нижней строки. Сигнал $rf(i, j)$ распространяется по строке матрицы справа налево, в отличие от всех остальных сигналов. Для крайнего справа элемента каждой строки $rf(i, J-1) = 1, 0 \leq i \leq I-1$. Проходя через отказавший либо захваченный процессорный элемент, сигнал отсутствия отказа обнуляется, а проходя через резервный столбец – снова становится равным единице:

$$rf(i, j) = \bar{e}(i, j+1) \& \bar{z}(i+1, j+1) \& \bar{d}(i+1, j) \& rf(i, j+1) \vee a(i, j), \\ 0 \leq i < I-1, 0 \leq j < J-1,$$

где $z(m, n)$ – признак прямого захвата элементом (m, n) , $d(m, n)$ – признак диагонального захвата элементом (m, n) . Для элементов нижней строки матрицы

$$rf(I-1, j) = \bar{e}(I-1, j+1) \& rf(I-1, j+1) \vee a(I-1, j), \\ 0 \leq j < J-1.$$

Сигнал самого правого отказа в строке обозначим как $pr(i, j)$; $pr(i, j) = 1$, если элемент (i, j) является самым правым отказом в строке, т.е. если он неисправен либо захвачен, и справа от него в подматрице нет отказов и захваченных элементов:

$$pr(i, j) = rf(i, j) \& [e(i, j) \vee z(i+1, j) \vee d(i+1, j-1)], \\ 0 \leq i < I-1, 0 \leq j \leq J-1.$$

Для элементов крайнего слева столбца

$$pr(i, 0) = rf(i, j) \& [e(i, j) \vee z(i+1, j)], 0 \leq i < I-1.$$

Для нижней строки процессорной матрицы

$$pr(I-1, j) = rf(I-1, j) \& e(I-1, j), 0 \leq j \leq J-1.$$

Введем также сигнал наличия в строке горизонтального отказа $gf(i, j)$; – признак того, что некоторый элемент $(i, k), k < j$, (т.е. расположенный левее элемента (i, j) в той же строке данной подматрицы) был объявлен горизонтальным отказом. Сигнал наличия в строке горизонтального отказа распространяется по строке матрицы слева направо. Для крайнего слева столбца матрицы $gf(i, 0) = h(i, 0), 0 \leq i \leq I-1$, где $h(i, j)$ – сигнал горизонтального отказа, равный единице, если элемент (i, j) объявлен горизонтальным отказом. Проходя через элемент, объявленный горизонтальным отказом, он превращается в единицу, а проходя через резервный столбец – снова обнуляется:

$$gf(i, j) = \bar{a}(i, j-1) \& [h(i, j) \vee gf(i, j-1)], \\ 0 \leq i \leq I-1, 0 < j \leq J-1. \quad (1)$$

Сигнал прямого захвата $z(i, j)$ принимает истинное значение, если для элемента (i, j) требуется прямой захват, т.е. передача его функций прямому заместителю – элементу $(i-1, j)$. Ситуация прямого захвата возникает, если элемент (i, j) неисправен либо захвачен, не принадлежит резервной строке и не является самым правым отказом в данной строке подматрицы, а его прямой заместитель $(i-1, j)$ исправен и не захвачен по диагонали:

$$z(i, j) = [e(i, j) \vee z(i+1, j) \vee d(i+1, j-1)] \& \bar{b}(i, j) \& \\ [\bar{pr}(i, j) \vee pr(i, j) \& gf(i, j-1)] \& \bar{e}(i-1, j) \& \bar{d}(i, j-1), \\ 0 < i < I-1, 0 < j \leq J-1.$$

Для элементов крайнего слева столбца

$$z(i, 0) = [e(i, 0) \vee z(i+1, 0)] \& \bar{b}(i, 0) \& \bar{pr}(i, 0) \& \\ \bar{e}(i-1, 0), 0 < i < I-1.$$

Для элементов нижней строки

$$z(I-1, j) = e(I-1, j) \& \bar{b}(I-1, j) \& [\bar{pr}(I-1, j) \vee pr(I-1, j) \& \\ gf(I-1, j-1)] \& \bar{e}(I-2, j) \& \bar{d}(I-1, j-1), 0 < j \leq J-1; \\ z(I-1, 0) = e(I-1, 0) \& \bar{b}(I-1, 0) \& \bar{pr}(I-1, 0) \& \bar{e}(I-2, 0).$$

Для верхней строки $z(0, j) = 0, 0 \leq j \leq J-1$.

Сигнал диагонального захвата $d(i, j)$ принимает истинное значение, если для элемента (i, j) требуется диагональный захват, т.е. передача его функций диагональному заместителю – элементу $(i-1, j+1)$. Ситуация диагонального захвата возникает, если элемент (i, j) неисправен либо захвачен, не принадлежит ни резервной строке, ни резервному столбцу и не является самым правым отказом в данной строке подматрицы, при этом прямой захват для него невозможен, а его диагональный заместитель $(i-1, j+1)$ исправен:

$$d(i, j) = [e(i, j) \vee z(i+1, j) \vee d(i+1, j-1)] \& \bar{a}(i, j) \& \bar{b}(i, j) \& [\bar{p}r(i, j) \vee pr(i, j) \& gf(i, j-1)] \& \bar{z}(i, j) \& \bar{e}(i-1, j+1), 0 < i < I-1, 0 < j < J-1.$$

Для крайнего слева столбца процессорной матрицы

$$d(i, 0) = [e(i, 0) \vee z(i+1, 0)] \& \bar{a}(i, 0) \& \bar{b}(i, 0) \& \bar{p}r(i, 0) \& \bar{z}(i, 0) \& \bar{e}(i-1, 1), 0 < i < I-1.$$

Для элементов нижней строки

$$d(I-1, j) = e(I-1, j) \& \bar{a}(I-1, j) \& \bar{b}(I-1, j) \& [\bar{p}r(I-1, j) \vee pr(I-1, j) \& gf(I-1, j-1)] \& \bar{z}(I-1, j) \& \bar{e}(I-2, j+1), 0 \leq j < J-1.$$

Для элементов крайнего справа столбца ($j = J-1$) и верхней строки ($i = 0$) процессорной матрицы диагональный захват не выполняется: $d(i, J-1) = 0, d(0, j) = 0$.

И, наконец, выпишем условия возникновения сигнала горизонтального отказа $h(i, j)$. Процессорный элемент (i, j) считается горизонтальным отказом ($h(i, j) = 1$), если ни один из уже рассмотренных элементов $(i, k), k < j$ строки i подматрицы не был объявлен горизонтальным отказом, элемент (i, j) не принадлежит резервной строке и неисправен либо захвачен, при этом либо он является самым правым отказом в строке подматрицы, либо прямой и диагональный захват для него по каким-либо причинам невозможен:

$$h(i, j) = \bar{g}f(i, j-1) \& [e(i, j) \vee z(i+1, j) \vee d(i+1, j-1)] \& \bar{b}(i, j) \& [pr(i, j) \vee \bar{z}(i, j) \& \bar{d}(i, j)], 0 < i \leq I-1, 0 < j \leq J-1.$$

Для элементов нижней строки матрицы

$$h(I-1, j) = \bar{g}f(I-1, j-1) \& e(I-1, j) \& \bar{b}(I-1, j) \& [pr(I-1, j) \vee \bar{z}(I-1, j) \& \bar{d}(I-1, j)], 0 < j \leq J-1.$$

Для элементов крайнего слева столбца

$$h(i, 0) = [e(i, 0) \vee z(i+1, 0)] \& \bar{b}(i, 0) \& [pr(i, 0) \vee \bar{z}(i, 0) \& \bar{d}(i, 0)], 0 \leq i < I-1;$$

$$h(I-1, 0) = e(I-1, 0) \& \bar{b}(I-1, 0) \& [pr(I-1, 0) \vee \bar{z}(I-1, 0) \& \bar{d}(I-1, 0)].$$

Если перестройка в какой-либо из строк подматрицы невозможна, возникает сигнал фатального отказа $E(i, j)$. Это происходит, если существует неисправный либо захваченный элемент (i, j) , не принадлежащий резервной строке, для которого невозможен прямой и диагональный захват и который нельзя объявить горизонталь-

ным отказом, так как горизонтальный отказ уже присутствует в этой строке подматрицы.

$$E(i, j) = \{E(i, j-1) \vee [e(i, j) \vee z(i+1, j) \vee d(i+1, j-1)] \& \bar{b}(i, j) \& \bar{z}(i, j) \& \bar{d}(i, j) \& \bar{h}(i, j)\} \& \bar{a}(i, j-1), 0 \leq i < I-1, 0 < j \leq J-1.$$

Сигнал $E(i, j)$ распространяется по всей процессорной матрице слева направо и обнуляется, проходя через резервный столбец. Для элементов крайнего слева столбца

$$E(i, 0) = [e(i, 0) \vee z(i+1, 0)] \& \bar{b}(i, 0) \& \bar{z}(i, 0) \& \bar{d}(i, 0) \& \bar{h}(i, 0), 0 \leq i < I-1.$$

Для элементов нижней строки матрицы

$$E(I-1, j) = [E(I-1, j-1) \vee e(I-1, j) \& \bar{b}(I-1, j) \& \bar{z}(I-1, j) \& \bar{d}(I-1, j) \& \bar{h}(I-1, j)] \& \bar{a}(I-1, j-1), 0 < j \leq J-1$$

$$E(I-1, 0) = e(I-1, 0) \& \bar{b}(I-1, 0) \& \bar{z}(I-1, 0) \& \bar{d}(I-1, 0) \& \bar{h}(I-1, 0)$$

При возникновении фатального отказа хотя бы в одной из подматриц вся матрица выходит из строя и перестройка в ней не происходит.

Алгоритм адресации

На основе сигналов перестройки можно вычислить сигналы коммутаций для процессорных элементов. Каждый из этих сигналов соответствует одной из возможных вертикальных или горизонтальных связей процессора. Если связь активна, то соответствующий сигнал коммутации принимает значение 1, в противном случае сигнал равен 0.

Можно установить шаблон соседства и другим путем, вычисляя новые логические координаты (i', j') , отражающие место процессорного элемента (i, j) в структуре процессорной матрицы после реконфигурации. Этой цели служит предлагаемый нами алгоритм адресации процессорных элементов.

Процессоры, которые после реконфигурации не используются в матрице, получают логические номера $\{0, 0\}$. Логический номер строки $i' = 0$ является показателем того, что процессорный элемент после реконфигурации не связан с остальной процессорной матрицей и не участвует в вычислениях.

Очевидно, что нулевые номера строк должны получить все без исключения неисправные процессоры, т.е. $(i, j) \{0 \leq i < I, 0 \leq j < J, e(i, j) = 1\}$. Элементы резервной строки процессорной матрицы, которые не были захвачены нижней строкой в процессе перестройки, т.е. $(i, j) \{0 < i < I-1, 0 < j < J-1, b(i, j) \& \bar{z}(i+1, j) \& \bar{d}(i+1, j-1) = 1\}$, также не используются и должны получить нулевые координаты строки. Если в строке, не явля-

ющейся резервной, присутствует хотя бы один отказавший или захваченный элемент, в этой строке существует горизонтальный отказ, который будет замещен резервным элементом из столбца. В тех же строках подматрицы, где нет горизонтального отказа (а значит, нет вообще ни одного неисправного либо захваченного процессора), элементы резервного столбца (i, j) : $\{0 \leq i < I, 0 \leq j < J, a(i, j) \& \overline{gf}(i, j) = 1\}$ не задействованы и тоже имеют нулевые логические координаты строк.

Таким образом,

$$(i, j) \{0 \leq i < I-1, 0 < j < J, e(i, j) \vee b(i, j) \& \overline{z}(i+1, j) \& \overline{d}(i+1, j-1) \vee a(i, j) \& \overline{gf}(i, j) = 1 \rightarrow i' = 0\}. \quad (2)$$

Теперь рассмотрим, как определяются логические координаты активных процессоров. Если процессор исправен $(e(i, j) = 0)$, не является заместителем какого-либо неисправного процессора $(z(i+1, j) = 0, d(i+1, j-1) = 0)$, не принадлежит резервной строке $(b(i, j) = 0)$ и не является неиспользуемым элементом резервного столбца $(\overline{a}(i, j) \vee gf(i, j) = 1)$, его номер строки не изменится. И наконец, если процессорный элемент является прямым или диагональным заместителем процессора из последующей строки $(z(i+1, j) \vee d(i+1, j-1) = 1)$, то логический номер строки у него увеличивается на единицу.

Итак, можно записать следующую формулу для вычисления номеров строк i' :

$$i'(i, j) = \{i(i, j) + [z(i+1, j) \vee d(i+1, j-1)]\} \times \{\overline{e}(i, j) \& [\overline{b}(i, j) \vee z(i+1, j) \vee d(i+1, j-1)] \& [\overline{a}(i, j) \vee gf(i, j)]\}, \quad 0 \leq i < I-1, 0 < j < J. \quad (3)$$

Предполагается, что в формуле (3) логические операции дизъюнкции и конъюнкции имеют приоритет над арифметическими операциями умножения и сложения; после выполнения логических операций двоичные значения 0 и 1 преобразуются в целые числа 0 и 1 соответственно; результат вычисления всегда является целым неотрицательным числом.

Подобным образом можно вывести и формулу для вычисления логических номеров столбцов процессорных элементов.

С целью упрощения дальнейших рассуждений для элементов, отвечающих условиям (2), можно принять номера столбцов также равными нулю.

Для активных процессоров в ходе реконфигурации матрицы номер столбца процессорного элемента может остаться прежним или уменьшиться. Уменьшение номера столбца на единицу может происходить за счет возникновения в строке горизонтального отказа и/или за счет диагонального захвата элемента. Следовательно, $|j' - j| \leq 2$.

Выясним, при каких условиях номер столбца уменьшается за счет наличия в строке горизонтального отказа. Пусть элемент (i, j) исправен и не захвачен. Его номер столбца уменьшится на единицу, если один из предшествующих элементов данной строки подматрицы был объявлен горизонтальным отказом, т.е. логический номер столбца зависит от сигнала $gf(i, j)$. Если же исправный элемент (i, j) является заместителем процессора нижней строки $i+1$, его номер столбца j' будет зависеть от того, был ли горизонтальный отказ в строке $i+1$. Если (i, j) – прямой заместитель отказа $(i+1, j)$, его номер столбца зависит от наличия или отсутствия горизонтального отказа среди процессоров с номерами $(i+1, l), l \leq j$, т.е. от сигнала $gf(i+1, j)$. В ситуации, когда (i, j) – диагональный заместитель отказа $(i+1, j-1)$, его номер столбца зависит от того, есть ли горизонтальный отказ среди процессоров с номерами $(i+1, k), k \leq j-1$, т.е. от сигнала $gf(i+1, j-1)$. Кроме того, необходимо учесть, что если элемент (i, j) является диагональным заместителем элемента $(i+1, j-1)$, то его логический номер столбца становится на единицу меньше физического.

Номера столбцов можно вычислить по следующей формуле:

$$j'(i, j) = \{j(i, j) - [\overline{z}(i+1, j) \& \overline{d}(i+1, j-1) \& gf(i, j) \vee z(i+1, j) \& gf(i+1, j) \vee d(i+1, j-1) \& gf(i+1, j-1)] - d(i+1, j-1)\} \times \{\overline{e}(i, j) \& [\overline{b}(i, j) \vee z(i+1, j) \vee d(i+1, j-1)] \& [\overline{a}(i, j) \vee gf(i, j)]\}, \quad 0 \leq i < I-1, 0 < j < J. \quad (4)$$

Корректность алгоритма адресации

Из формул для логических координат процессорных элементов следует, что одинаковые логические координаты $(0, 0)$ имеют только неиспользуемые резервные и неисправные процессоры. Можно доказать, что для алгоритма диагональной перестройки все активные (т.е. исправные и используемые) процессоры имеют различные логические индексы.

Утверждение 1. Каждый активный процессор имеет ненулевой логический номер строки.

Доказательство. Если процессор (i, j) активен, то для него

$$\overline{e}(i, j) \& [\overline{b}(i, j) \vee z(i+1, j) \vee d(i+1, j-1)] \& [\overline{a}(i, j) \vee gf(i, j)] = 1. \quad (5)$$

По формуле (3)

$$i'(i, j) = i(i, j) + [z(i+1, j) \vee d(i+1, j-1)].$$

Пусть $i' > 0$. Значение выражения в квадратных скобках является булевой величиной. При выполнении операции сложения булевы двоичные 0 и 1 интерпретируются как целые числа 0 и 1. Поэтому $i'(i, j) \geq i(i, j) = i > 0$.

Пусть $i = 0$. По условиям алгоритма верхняя строка процессорной матрицы обязательно должна быть резервной, поэтому процессор $(0, j)$ активен, если и только если он захвачен следующей строкой, т.е. для него $z(i+1, j) \vee d(i+1, j-1) = 1$. Значит, для активного процессора $(0, j)$ $i'(0, j) = i(0, j) + 1 = 1$.

Следовательно, все активные процессоры имеют ненулевой номер строки.

Утверждение 2. Для двух процессоров (i, k) и $(i, k+l)$, $l > 0$, $l \in Z$, находящихся в одной строке и не являющихся горизонтальными отказами,

$$l + gf(i, j) - gf(i, j+l) > 0. \quad (6)$$

Доказательство. Пусть $l = 1$. Поскольку процессоры (i, k) и $(i, k+l)$ не являются горизонтальными отказами, для них $h(i, k) = h(i, k+l) = 0$. Учитывая (1),

$$gf(i, j) - gf(i, j+1) = gf(i, j) - \{\bar{a}(i, j) \& [h(i, j+1) \vee gf(i, j)]\} = gf(i, j) - [\bar{a}(i, j) \& gf(i, j)].$$

Если $gf(i, j) = 0$, то $\bar{a}(i, j) \& gf(i, j) = 0$ и $gf(i, j) - gf(i, j+1) = 0$. Если $gf(i, j) = 1$, то $gf(i, j) - gf(i, j+1) = 1 - gf(i, j+1) \geq 0$.

Значит, для $l = 1$ $l + gf(i, j) - gf(i, j+l) = 1 + gf(i, j) - gf(i, j+1) \geq 1 + 0 > 0$.

Пусть $l > 1$. Тогда $l + gf(i, j) - gf(i, j+l) \geq 1 + 1 + gf(i, j) - gf(i, j+1) \geq 1 + 0 - 1 = 0$.

Итак, для $l > 0$ справедливо неравенство (6).

Утверждение 3. Если два активных процессора находятся в одной и той же строке процессорной матрицы, причем один из них захвачен, а другой нет, то их логические номера строк различны.

Доказательство. Пусть процессор (i, j_1) захвачен, а процессор (i, j_2) не захвачен. Это означает, что $z(i, j_1) \vee d(i, j_1) = 1$, $z(i, j_2) = d(i, j_2) = 0$. Вычисляя логические номера строк по формуле (3), с учетом (5) получаем:

$$i'(i, j_1) = i + [z(i+1, j_1) \vee d(i+1, j_1-1)] = i + 1;$$

$$i'(i, j_2) = i + [0 \vee 0] = i.$$

$$i'(i, j_1) - i'(i, j_2) = i + 1 - i = 1.$$

Следовательно, для процессоров (i, j_1) и (i, j_2) логические номера строк различны.

Утверждение 4. Два процессора, являющиеся прямыми заместителями и находящиеся в одной и той же строке процессорной матрицы, имеют различные логические номера столбцов.

Доказательство. Пусть процессоры (i, j) и $(i, j+t)$, $t > 0$, $t \in Z$, являются прямыми заместителями: процессоров из последующей строки: $z(i+1, j) = z(i+1, j+t) = 1$. Из (4) и (5) следует:

$$j'(i, j+t) = j+t - gf(i+1, j+t); j'(i, j) = j - gf(i+1, j);$$

$$j'(i, j+t) - j'(i, j) = t + gf(i+1, j) - gf(i+1, j+t).$$

Поскольку процессоры $(i+1, j)$ и $(i+1, j+t)$ не являются горизонтальными отказами, значит, для них выполнены условия утверждения 2 и справедливо неравенство (6). Следовательно, j'

$(i, j+t) - j'(i, j) > 0$, и процессоры (i, j) и $(i, j+t)$ имеют различные логические координаты столбцов.

Подобным образом могут быть доказаны:

Утверждение 5. Два процессора, являющиеся диагональными заместителями и находящиеся в одной и той же строке процессорной матрицы, имеют различные логические номера столбцов.

Утверждение 6. Два активных процессора, не являющиеся заместителями и находящиеся в одной и той же строке процессорной матрицы, имеют различные логические номера столбцов.

Утверждение 7. Процессор (i, j) , являющийся диагональным заместителем и процессор $(i, j+t)$, $t > 0$, $t \in Z$, являющийся прямым заместителем, имеют различные логические номера столбцов.

Утверждение 8. Процессор (i, j) , являющийся прямым заместителем и процессор $(i, j+t)$, $t > 0$, $t \in Z$, являющийся диагональным заместителем, имеют различные логические номера столбцов.

Как следствие, справедливо:

Утверждение 9. Логические индексы любых двух активных процессоров, расположенных в одной строке матрицы, различны.

Для процессоров, расположенных в соседних строках, выполняется:

Утверждение 10. Если процессоры (i, j_1) и $(i+1, j_2)$ активны и не захвачены, то их логические координаты строк различны.

Доказательство. Процессоры (i, j_1) и $(i+1, j_2)$ не захвачены, следовательно, для них $z(i+1, j_2) = z(i, j_2) = d(i+1, j_2-1) = d(i, j_2-1) = h(i, j_2) = h(i+1, j_2) = 0$. Вычисляя логические номера строк по (3), с учетом (5) получаем: $i'(i, j_1) = i$; $i'(i+1, j_2) = i + 1$; $i'(i+1, j_2) - i'(i, j_1) = i + 1 - i = 1$, следовательно, логические координаты строк различны, что и требовалось доказать.

Утверждение 11. Если процессоры (i, j_1) и $(i+1, j_2)$ оба являются заместителями, прямыми либо диагональными, то их логические координаты строк различны.

Утверждение 12. Если процессор (i, j) активен и не захвачен, а процессор $(i+1, j+t)$, $t > 0$, $t \in Z$, является прямым или диагональным заместителем, то их логические координаты строк различны.

Утверждение 13. Если процессор (i, j) является прямым заместителем элемента из последующей строки, а процессор $(i+1, j+t)$, $t > 0$, $t \in Z$ активен и не захвачен, то их логические координаты столбцов различны.

Утверждение 14. Если процессор (i, j) является диагональным заместителем элемента из последующей строки, а процессор $(i+1, j+t)$, $t >$

$0, i \in Z$ активен и не захвачен, то их логические координаты столбцов различны.

Следствием является:

Утверждение 15. Логические индексы любых двух активных процессоров, расположенных в соседних строках матрицы, различны.

Утверждение 16. Ненулевые логические координаты процессорных элементов различны.

Доказательство. Рассмотрим активные процессоры (i, j_1) и $(i+m, j_2)$, $m > 0, m \in Z$. При $m = 0$ справедливо утверждение 9 и логические индексы процессоров различны. При $m = 1$ справедливо утверждение 15 и логические индексы процессоров различны.

Пусть $m > 1$. Вычисляя логические номера строк по формуле (3), с учетом (5) получаем:

$$i'(i, j_1) = i + [z(i+1, j_1) \vee d(i+1, j_1-1)];$$

$$i'(i+m, j_2) = i + m + [z(i+1, j_2) \vee d(i+1, j_2-1)];$$

$$i'(i+m, j_2) - i'(i, j_1) = m + [z(i+1, j_2) \vee d(i+1, j_2-1)] - [z(i+1, j_1) \vee d(i+1, j_1-1)] \geq m - 1 > 1 - 1 = 0,$$

и логические номера строк различны.

Следовательно, для любых двух элементов процессорной матрицы логические координаты, вычисленные по формулам (3) и (4), будут различны, что и требовалось доказать.

Из справедливости утверждения 16 следует корректность предлагаемого алгоритма диагонального захвата для реконфигурации отказоустойчивой процессорной матрицы с сохранением структуры квадратной решетки.

Заключение

В настоящей статье предлагаются логические уравнения для вычисления сигналов перестройки по алгоритму диагонального захвата; позволяющему обеспечить отказоустойчивость процессорной матрицы. Разработан алгоритм вычисления новых логических индексов для процессорных элементов и доказана его корректность.

УДК 612.342

А.И. Литвин

АЛГОРИТМЫ РЕШЕНИЯ СЛАУ С МАТРИЦАМИ ТЕПЛИЦА

*Институт оптического мониторинга СО РАН

**Томский государственный педагогический университет

Пусть имеется СЛАУ

$$AX=Y, \quad (1)$$

где A – невырожденная теплицева матрица порядка $N=2^n$; n – натуральное число. Матрица A имеет вид:

$$A = \begin{bmatrix} a_0 & a_{-1} & \dots & a_{-N+1} \\ a_1 & a_0 & \dots & a_{-N+2} \\ \dots & \dots & \dots & \dots \\ a_{N-1} & a_{N-2} & \dots & a_0 \end{bmatrix}$$

Представим [1-4] $A=B-C$, где B – невырожденная матрица, имеющая простое обращение. Тогда (1) перепишем в виде:

$$BX=CX+Y. \quad (2)$$

Итерационный процесс можно проводить по схеме [2, 5]:

$$BX^{(n+1)}=CX^{(n)}+Y \quad (3)$$

или $X^{(n+1)}=Z+B^{-1}CX^{(n)}$, где $Z=B^{-1}Y$; $n=0, 1, \dots$

Матрицу B можно получить с помощью ОДП Фурье или Уолша [6-10].

Пусть $TAT^{-1}=S$; $D=\text{diag}S$, где T -ОДП Фурье или Уолша. Положим $TBT^{-1}=D$. Отсюда $B=T^{-1}DT$. Тогда $B^{-1}=T^{-1}D^{-1}T$. Нахождение матрицы D^{-1} не представляет труда ввиду ее диагональности. Описанный выше итерационный процесс сходится,

если $\|B^{-1}C\| < 1$. Сходимость подразумевается в смысле сходимости по норме матрицы A .

Ортогональные дискретные преобразования (ОДП) возможно использовать и при решении задач обращения матриц.

Будем считать, что обратная матрица B^{-1} начальная. Приближение матрицы B^{-1} к обратной матрице A^{-1} будем проводить по следующей формуле [11]:

$$B_{k+1}^{-1} = B_k^{-1}(2E - AB_k^{-1}); \quad k=0, 1, \dots$$

Итерационный процесс можно считать законченным, когда $\|E - AB_n^{-1}\| < d$, где d – наперед заданное положительное число. Сходимость итерационного процесса обеспечивается условием [11]: $\|E - AB_0^{-1}\| < 1$.

При этом условии итерационный процесс сходится быстро.

Рассмотрим другой способ решения СЛАУ с эрмитовыми матрицами. Для этого умножим слева СЛАУ $AX=B$, где A – невырожденная матрица порядка N , на сопряженную к A матрицу A^* . Получим: $A^*AX = A^*B$. Обозначим $A^*A = K$, $A^*B = Y$. Тогда $KX=Y$. (4)

Матрица K является эрмитовой, поэтому к ней можно применить теорему Шура, которая гово-